

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-036774

(43)Date of publication of application : 02.02.2000

(51)Int.Cl.

H04B 1/707

H03H 17/02

(21)Application number : 10-202368

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 16.07.1998

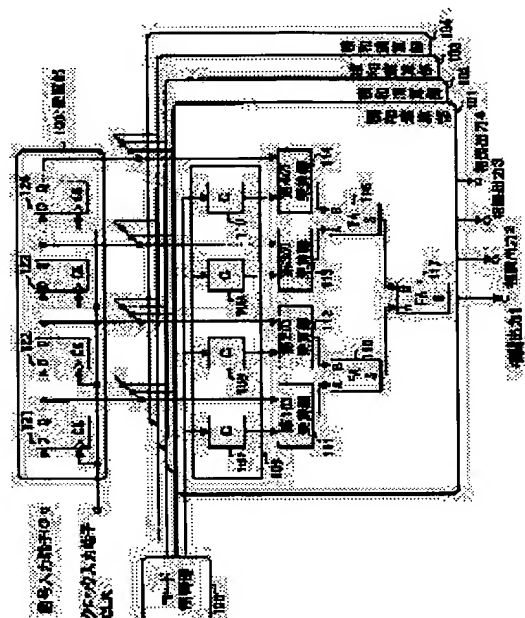
(72)Inventor :
MOGI ISAO
NIIDE HIROKI

(54) CORRELATION DETECTOR AND CDMA RECEIVER

(57)Abstract:

PROBLEM TO BE SOLVED: To detect correlation with respect to a delay wave that exists at a point which exceeds the 1-symbol time and also to reduce both circuit scale and power consumption.

SOLUTION: An inverse spread code storage circuit 106 which can rewrite the inverse spread codes every plural symbol units is prepared in addition to a storage part 100, which stores the digital data of a spread spectrum signal. The output signals of 1st to 4th flip-flops 121 to 124 which constitute the part 100 are multiplied by the inverse spread codes of the circuit 106 via the 1st to 4th multipliers 111 to 114 respectively.



LEGAL STATUS

[Date of request for examination]

05.01.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's
decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of
rejection]

[Date of extinction of right]

Copyright (C), 1998,2000 Japanese Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-36774

(P2000-36774A)

(43)公開日 平成12年2月2日(2000.2.2)

(51)Int.Cl.⁷

H 0 4 B 1/707

H 0 3 H 17/02

識別記号

6 5 5

F I

H 0 4 J 13/00

H 0 3 H 17/02

テーマコード(参考)

D 5 K 0 2 2

6 5 5 B

審査請求 未請求 請求項の数 7 O L (全 17 頁)

(21)出願番号

特願平10-202368

(22)出願日

平成10年7月16日(1998.7.16)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 茂木 功

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 新出 弘紀

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74)代理人 100105050

弁理士 鷲田 公一

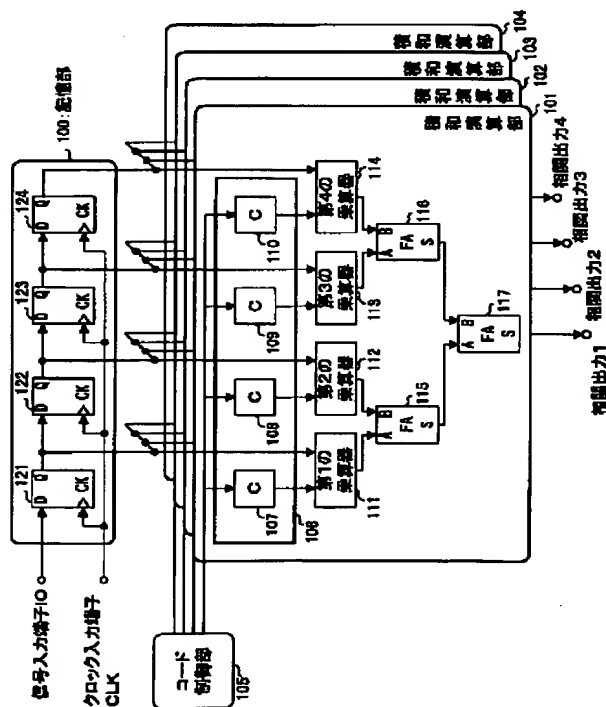
Fターム(参考) 5K022 EE02 EE14 EE33

(54)【発明の名称】 相関検出装置及びCDMA受信装置

(57)【要約】

【課題】 1シンボル時間を超える所に存在する遅延波に対して相関検出を可能にし、かつ、回路規模および消費電力を低減すること。

【解決手段】 スペクトル拡散信号のデジタルデータを記憶する記憶部100と別に、複数シンボル単位で逆拡散符号の書き換えができる逆拡散符号記憶回路106を備える。記憶部100を構成する第1から第4のフリップフロップ121~124の出力信号と逆拡散符号記憶回路106の逆拡散符号とが第1から第4の乗算器111~114でそれぞれ乗算される。



【特許請求の範囲】

【請求項 1】 シンボルデータを保持するデータ記憶部と、前記データ記憶部に並列接続され前記シンボルデータと逆拡散用の拡散符号との相関検出を行う複数の相関演算部と、前記各相関演算部の拡散符号を複数シンボル単位で個別に書き替えるコード制御手段とを具備する相関検出装置。

【請求項 2】 前記コード制御手段は、直列接続された複数のフリップフロップがクロックに同期して動作するコード記憶用シフトレジスタを備え、前記各相関演算部は、前記コード記憶用シフトレジスタから個別のクロックに同期して逆拡散符号が書き込まれる逆拡散符号用記憶回路を備えた請求項 1 記載の相関検出装置。

【請求項 3】 前記相関演算部は、複数種類の逆拡散コード列を個別に書き込み可能な複数の逆拡散符号用記憶回路と、前記複数の逆拡散符号用記憶回路から使用すべき逆拡散コード列を選択する選択手段とを備えたことを特徴とする請求項 1 記載の相関検出装置。

【請求項 4】 第 1 データ長の N 倍のシンボルデータを保持可能なデータ記憶部と、前記データ記憶部に並列接続され第 1 データ長のシンボルデータと逆拡散用の拡散符号との相関検出を行う複数の相関演算部と、前記データ記憶部から前記複数の相関演算部に対して第 1 データ長の同一シンボルデータを並列に入力する複数シンボル待ち受けモードと第 1 データ長 $\times N$ のシンボルデータを第 1 データ長に区分して並列に入力する 1 シンボル相関モードとを選択するモード選択手段と、1 シンボル相関モードの場合に前記複数の相関演算部の出力を加算する加算手段と、前記各モードに対応して前記各相関演算部の拡散符号を書き替えるコード制御手段とを具備する相関検出装置。

【請求項 5】 前記コード制御手段は、第 1 データ長 $\times N$ の逆拡散符号を同時に発生可能なフリップフロップ群からなりクロックに同期して動作するコード記憶用シフトレジスタと、複数シンボル待ち受けモードの場合に前記コード記憶用シフトレジスタから前記複数の相関演算部に対して第 1 データ長の逆拡散コード列を入力し、1 シンボル相関モードの場合に第 1 データ長 $\times N$ の逆拡散コード列を入力するコード選択手段とを備え、前記各相関演算部は、前記コード記憶用シフトレジスタから入力する逆拡散コード列を個別のクロックに同期して読み込むことを特徴とする請求項 4 記載の相関検出装置。

【請求項 6】 複数シンボル待ち受けモードの場合に第 1 データ長の逆拡散コード列を出力するフリップフロップ以外のフリップフロップの動作を停止させる動作停止手段を備えたことを特徴とする請求項 5 記載の相関検出装置。

【請求項 7】 請求項 1 乃至請求項 6 のいずれかに記載の相関検出装置を備え、他の通信局から受信したスペクトル拡散信号と逆拡散符号との相関値を前記相関検出装

置で検出すること特徴とする CDMA 受信装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、CDMA（符号分割多元接続）方式の無線通信装置においてスペクトラム拡散信号の相関検出に用いる相関検出装置に関し、特にデジタルマッチトフィルタに適用可能な相関検出装置に関する。

【0002】

【従来の技術】送信局において送信データに拡散符号を掛け合わせてスペクトル拡散したスペクトラム拡散信号を、受信局において元の狭帯域の信号に復調するためマッチトフィルタが用いられる。

【0003】図 15 に従来のマッチトフィルタの構成例を示す。同図に示すマッチトフィルタは、FIR デジタルフィルタを用いて構成された 4 倍拡散 4 タップのデジタルマッチトフィルタである。

【0004】このデジタルマッチトフィルタは、信号入力端子 1 にデジタル信号 I_O が入力される。デジタル信号 I_O は、たとえばスペクトラム拡散信号が 4.096 MHz のサンプリング周波数でサンプリングされて生成されたデジタル信号である。このデジタル信号 I_O は、タップ付きシフトレジスタ 10 の第 1 のフリップフロップ群 11 に入力され、クロック入力端子 2 に入力される 4.096 MHz のクロック CLK に同期して第 1 のフリップフロップ群 11 ~ 第 4 のフリップフロップ群 14 に向けて順次シフトされる。

【0005】タップ付きシフトレジスタ 10 の各タップ及び最終段のフリップフロップから出力された出力信号は各々対応した第 1 から第 4 の乗算器 15 ~ 18 に与えられる。第 1 から第 4 の乗算器 15 ~ 18 には逆拡散符号列 $C_3 C_2 C_1 C_0$ のうちの対応する逆拡散符号 C がそれぞれ与えられる。したがって、第 1 の乗算器 15 では、第 1 のフリップフロップ群 11 の出力信号と逆拡散符号 C_0 （1 ビット）との乗算が行われ、同様に第 2 から第 4 の乗算器 16 ~ 18 では、第 2 から第 4 のフリップフロップ群 12 ~ 14 の出力信号と逆拡散符号 $C_1 \sim C_3$ との乗算がそれぞれ行われる。第 1 から第 4 の乗算器 15 ~ 18 では、たとえば、逆拡散符号が 0 を示すときは、第 1 から第 4 のフリップフロップ群の出力信号と 1 との乗算がそれぞれ行われ、逆拡散符号が 1 を示すときは、第 1 から第 4 のフリップフロップ群の出力信号と -1 との乗算がそれぞれ行われる。

【0006】第 1、第 2 の乗算器 15、16 の出力を第 1 の加算器 19 で加算し、第 3、第 4 の乗算器 17、18 の出力を第 2 の加算器 20 で加算し、さらに第 1、第 2 の加算器 19、20 の出力を第 3 の加算器 21 で加算する。この結果、デジタル信号 I_O と逆拡散符号列 $C_3 C_2 C_1 C_0$ との相関値 $MFOUT$ が出力端子 3 を介して外部に出力される。

【0007】上記デジタルマッチトフィルタにおいて、従来は第1から第4の乗算器15～18に与える逆拡散符号列C3C2C1C0を1シンボル時間で書き換えて、各シンボルの相関を取っていた。そのため、1シンボル時間を超えて入力された遅延波の相関を取ることができなかった。

【0008】このため、複数個の遅延波を利用可能なCDMAシステムにおいて、1つの信号の相関しか取れないために残りの遅延波を有効利用できない不具合があった。この解決策として、図15に示すマッチトフィルタを複数個並列に設ける構成が考えられる。図16は、図15に示すマッチトフィルタを複数個並列に設けた構成を示している。第1から第4のデジタルマッチトフィルタM1～M4を並列に用いている。

【0009】

【発明が解決しようとする課題】しかしながら、マッチトフィルタを複数個並列に設けたのでは、回路規模および消費電力が増大するという問題がある。

【0010】本発明は以上のような実情に鑑みてなされたもので、1シンボル時間を超える所に存在する遅延波に対しても相関検出ができ、回路規模および消費電力を低減できる相関検出装置を提供することを目的とする。

【0011】

【課題を解決するための手段】本発明は上記課題を解決するために次のような手段を講じた。

【0012】請求項1に記載の相関検出装置の発明は、シンボルデータを保持するデータ記憶部と、前記データ記憶部に並列接続され前記シンボルデータと逆拡散用の拡散符号との相関検出を行う複数の相関演算部と、前記各相関演算部の拡散符号を複数シンボル単位で個別に書き替えるコード制御手段とを具備する構成を採る。

【0013】この構成により、データ記憶部に対し複数の相関演算部を並列に接続されるので、1シンボル時間を超えるところに存在する遅延波に対しても相関検出が可能となり、複数のデジタルマッチトフィルタを並列に並べて処理する場合に比べて大幅な回路削減と低消費電力化が可能になる。

【0014】請求項2に記載の発明は、請求項1記載の相関検出装置において、前記コード制御手段は、直列接続された複数のフリップフロップがクロックに同期して動作するコード記憶用シフトレジスタを備え、前記各相関演算部は、前記コード記憶用シフトレジスタから個別のクロックに同期して逆拡散符号が書き込まれる逆拡散符号用記憶回路を備える構成を採る。

【0015】この構成により、個々の相関演算部の逆拡散符号用記憶回路に対して個別に逆拡散符号を書き込むことができるので、シンボル毎に逆拡散符号書替が可能になる。

【0016】請求項3に記載の発明は、請求項1記載の相関検出装置において、前記相関演算部は、複数種類の

逆拡散コード列を個別に書き込み可能な複数の逆拡散符号用記憶回路と、前記複数の逆拡散符号用記憶回路から使用すべき逆拡散コード列を選択する選択手段とを備えた構成を採る。

【0017】この構成により、各相関演算部に複数の逆拡散符号用記憶回路を設けて個別に書き込み可能にしたので、コード発生のタイミングに依存しない符号切替が可能になる。

【0018】請求項4に記載の相関検出装置の発明は、第1データ長のN倍のシンボルデータを保持可能なデータ記憶部と、前記データ記憶部に並列接続され第1データ長のシンボルデータと逆拡散用の拡散符号との相関検出を行う複数の相関演算部と、前記データ記憶部から前記複数の相関演算部に対して第1データ長の同一シンボルデータを並列に入力する複数シンボル待ち受けモードと第1データ長×Nのシンボルデータを第1データ長に区分して並列に入力する1シンボル相関モードとを選択するモード選択手段と、1シンボル相関モードの場合に前記複数の相関演算部の出力を加算する加算手段と、前記各モードに対応して前記各相関演算部の拡散符号を書き替えるコード制御手段とを具備する構成を採る。

【0019】この構成により、モード選択手段でモード内容に応じて相関演算部に入力するシンボルデータを書き換えるようにしたので、複数シンボル待ち受けモードと、拡散率の高い信号に対する1シンボル相関モードとを同一ハードウェアで実現することができる。

【0020】請求項5に記載の発明は、請求項4記載の相関検出装置において、前記コード制御手段は、第1データ長×Nの逆拡散符号を同時に発生可能なフリップフロップ群からなりクロックに同期して動作するコード記憶用シフトレジスタと、複数シンボル待ち受けモードの場合に前記コード記憶用シフトレジスタから前記複数の相関演算部に対して第1データ長の逆拡散コード列を入力し、1シンボル相関モードの場合に第1データ長×Nの逆拡散コード列を入力するコード選択手段とを備え、前記各相関演算部は、前記コード記憶用シフトレジスタから入力する逆拡散コード列を個別のクロックに同期して読み込む構成を採る。

【0021】この構成により、請求項4の相関検出装置において、個々の相関演算部の逆拡散符号用記憶回路に対して個別に逆拡散符号を書き込むことができ、シンボル毎に逆拡散符号書替が可能になる。

【0022】請求項6に記載の発明は、請求項5記載の相関検出装置において、複数シンボル待ち受けモードの場合に第1データ長の逆拡散コード列を出力するフリップフロップ以外のフリップフロップの動作を停止させる動作停止手段を備えた構成を採る。

【0023】この構成により、複数シンボル待ち受けモードの場合に不要なフリップフロップの動作を停止させることができるので、省電力化を図ることができる。

【0024】請求項7に記載のCDMA受信装置の発明は、請求項1乃至請求項6のいずれかに記載の相関検出装置を備え、他の通信局から受信したスペクトル拡散信号と逆拡散符号との相関値を前記相関検出装置で検出する構成を採る。

【0025】この構成により、CDMA受信装置におけるデジタルマッチフィルタの回路規模を大きくすることなく1シンボル時間を超えるところに存在する遅延波に対しても相関検出が可能になり、受信品質を向上できる。

【0026】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して具体的に説明する。

【0027】（第1の実施形態）図1に本発明の第1の実施形態としてFIRデジタルフィルタを用いて構成された4倍拡散のデジタルマッチフィルタの構成図を示す。同図に示すデジタルマッチフィルタは、スペクトラム拡散信号をサンプリングして生成したデジタル信号IOが入力する記憶部100と、待ち受け遅延波数に対応した第1から第4の積和演算部101～104と、コード制御部105とを備える。

【0028】記憶部100は、第1から第4のフリップフロップ群121～124が直列に接続され、各フリップフロップ群121～124の出力段にタップが設けられている。初段のフリップフロップ群121のD入力端子に被相関データとなるデジタル信号IOが与えられる信号入力端子が接続され、各フリップフロップ群121～124のクロック入力端子に共通のクロックCLKが入力される。

【0029】第1の積和演算部101は、図2に示すように複数シンボル期間に互り同一の逆拡散符号が保持される逆拡散符号記憶部106と、逆拡散符号記憶部106に保持された逆拡散符号と記憶部100から出力されるデジタルデータとをパラレルに乗算する第1から第4の乗算器111～114と、第1から第4の乗算器111～114の出力を加算する第1から第3の加算器115～117とを備える。逆拡散符号記憶部106は、コード制御部105から逆拡散符号が書き込まれる第1から第4のフリップフロップ107～110で構成されている。他の積和演算部102～104は第1の積和演算部101と同様の構成を有している。

【0030】コード制御部105は、第1から第4の積和演算部101～104の逆拡散符号記憶部106にロードされる逆拡散符号が図2に示す状態になるように制御する。すなわち、第1から第4の積和演算部101～104の逆拡散符号記憶部106に対して1シンボル期間づつずらして順次逆拡散符号をロードすると共に、同一の逆拡散符号が逆拡散符号記憶部106に4シンボル期間とどまるように制御している。

【0031】次に、以上のように構成された本実施の形

態の動作について説明する。

【0032】記憶部100の信号入力端子に、スペクトラム拡散信号が4.096MHzのサンプリング周波数でサンプリングされて生成されたデジタル信号IOが入力される。なお、デジタル信号IOは、クロック入力端子に入力される4.096MHzのクロックCLKに同期したNビットの2の補数表現のデジタル信号である。

【0033】記憶部100を構成する第1から第4のフリップフロップ群121～124のデータ入力端子Dには、デジタル信号IOが入力されている。これにより、記憶部100を構成する第1から第4のフリップフロップ群121～124のクロック入力端子CKには”1”（論理値でハイレベル）がクロックCLKに同期して順に入力されるため、デジタル信号IOがクロックCLKに同期して第1から第4のフリップフロップ群121～124に順に取り込まれて保持される。

【0034】第1の積和演算部101の第1の逆拡散符号列用記憶部106を構成する第1から第4の逆拡散符号用記憶回路107～110には、コード制御部105より発生した逆拡散符号が格納される。

【0035】第1から第4の乗算器115～117では、第1から第4のフリップフロップ群121～124の出力信号（Nビット）と第1から第4の逆拡散符号（1ビット）との乗算がそれぞれ行われる。なお、乗算器111～114では、例えば、逆拡散符号が1を示すときは、第1から第4のフリップフロップ群121～124の出力と-1との乗算が行われ、逆拡散符号が0を示すときは、第1から第4のフリップフロップ群121～124の出力信号と1との乗算が行われる。

【0036】各乗算器111～114における乗算の手順と各加算器115～117における加算の手順を第3図を参照して以下に述べる。

【0037】第1の動作状態では、信号入力端子にデジタル信号IOの1番目のサンプリングデータD0がクロックCLKに同期して入力されるとともに記憶部100の第1のクロック入力端子CKに”1”が入力されて、1番目のサンプリングデータD0が第1のタップ付きシフトレジスタ121に取り込まれて保持される。その結果、1番目のサンプリングデータD0とコード制御部105により初期状態で第1の逆拡散符号用記憶回路107に保持されていた逆拡散符号C0との乗算が第1の乗算器111で行われる。したがって、 $D0 \times C0$ の値を示す出力信号が第1の乗算器111から出力される。

【0038】第2の動作状態では、信号入力端子にデジタル信号IOの2番目のサンプリングデータD1がクロックCLKに同期して入力されるとともに、1番目のサンプリングデータD0が記憶部100の第2のタップ付きシフトレジスタ122にシフトされ、コード制御部105によって初期状態で第2の逆拡散符号用記憶回路1

08に格納された逆拡散符号C1と1番目のサンプリングデータD0との乗算が第2の乗算器112で行われ、逆拡散符号C0と2番目のサンプリングデータD1との乗算が第1の乗算器111で行われる。したがって、 $D0 \times C1$ の値を示す出力信号が第2の乗算器112から出力され、 $D1 \times C0$ の値を示す出力信号が第1の乗算器111から出力される。

【0039】第3の動作状態では、信号入力端子にデジタル信号IOの3番目のサンプリングデータD2がクロックCLKに同期して入力されるとともに、クロックCLKに同期して1番目のサンプリングデータD0が記憶部100の第3のタップ付きシフトレジスタ123にシフトされ、2番目のサンプリングデータD1が記憶部100の第2のタップ付きシフトレジスタ122にシフトされ、3番目のサンプリングデータD2が記憶部100の第3のタップ付きシフトレジスタ123にシフトされる。この時、コード制御部105により初期状態で第3の逆拡散符号用フリップフロップ109に格納された逆拡散符号C2と1番目のサンプリングデータD0との乗算が第3の乗算器113で行われ、第2の逆拡散符号用フリップフロップ108に格納された逆拡散符号C1と2番目のサンプリングデータD1との乗算が第2の乗算器112で行われ、第1の逆拡散符号用記憶回路107に格納された逆拡散符号C0と3番目のサンプリングデータD2との乗算が第1の乗算器111で行われる。その結果、 $D0 \times C2$ の値を示す出力信号が、第3の乗算器113から出力され、 $D1 \times C1$ の値を示す出力信号が、第2の乗算器112から出力され、 $D2 \times C0$ の値を示す出力信号が、第1の乗算器111から出力される。

【0040】第4の動作状態では、信号入力端子にデジタル信号IOの4番目のサンプリングデータD3がクロックCLKに同期して入力されるとともに、クロックCLKに同期して1番目のサンプリングデータD0が記憶部100の第4のタップ付きシフトレジスタ124にシフトされ、2番目のサンプリングデータD1が記憶部100の第3のタップ付きシフトレジスタ123にシフトされ、3番目のサンプリングデータD2が記憶部100の第2のタップ付きシフトレジスタ122にシフトされ、4番目のサンプリングデータD3が記憶部100の第1のタップ付きシフトレジスタ121にシフトされる。

【0041】この時、コード制御部105により初期状態で第4の逆拡散符号用記憶回路110に格納された逆拡散符号C3と1番目のサンプリングデータD0との乗算が第4の乗算器114で行われ、第3の逆拡散符号用記憶回路109に格納された逆拡散符号C2と2番目のサンプリングデータD1との乗算が第3の乗算器113で行われ、第2の逆拡散符号用記憶回路108に格納された逆拡散符号C1と3番目のサンプリングデータD2

との乗算が第2の乗算器112で行われ、第1の逆拡散符号用記憶回路107に格納された逆拡散符号C0と4番目のサンプリングデータD3との乗算が第1の乗算器111で行われる。その結果、 $D0 \times C3$ の値を示す出力信号が第4の乗算器114から出力され、 $D1 \times C2$ の値を示す出力信号が第3の乗算器113から出力され、 $D2 \times C1$ の値を示す出力信号が第2の乗算器112から出力され、 $D3 \times C0$ の値を示す出力信号が第1の乗算器111から出力される。

【0042】以上の動作により、デジタル信号IOの最初の4個のサンプリングデータD0D1D2D3と逆拡散符号C3C2C1C0との相関を求めるのに必要な乗算がすべて行われる。

【0043】第5の動作状態では、信号入力端子にデジタル信号IOの5番目のサンプリングデータD4がクロックCLKに同期して入力されるとともに、クロックCLKに同期して2番目のサンプリングデータD1が記憶部100の第4のタップ付きシフトレジスタ124にシフトされ、3番目のサンプリングデータD2が記憶部100の第3のタップ付きシフトレジスタ123にシフトされ、4番目のサンプリングデータD3が記憶部100の第2のタップ付きシフトレジスタ122にシフトされ、5番目のサンプリングデータD4が記憶部100の第1のタップ付きシフトレジスタ121にシフトされ、5番目のサンプリングデータS4が記憶部100の第4のタップ付きシフトレジスタ124にシフトされる。

【0044】この時、コード制御部105により初期状態で、第4の逆拡散符号用記憶回路110に格納された逆拡散符号C3と2番目のサンプリングデータD1との乗算が第4の乗算器114で行われ、第3の逆拡散符号用記憶回路109に格納された逆拡散符号C2と3番目のサンプリングデータD2との乗算が第3の乗算器113で行われ、第2の逆拡散符号用記憶回路108に格納された逆拡散符号C1と4番目のサンプリングデータD3との乗算が第2の乗算器112で行われ、第1の逆拡散符号用記憶回路107に格納された逆拡散符号C0と5番目のサンプリングデータD4の乗算が第1の乗算器111で行われる。その結果、 $D1 \times C3$ の値を示す出力信号が、第4の乗算器114から出力され、 $D2 \times C2$ の値を示す出力信号が、第3の乗算器113から出力され、 $D3 \times C1$ の値を示す出力信号が、第2の乗算器112から出力され、 $D4 \times C0$ の値を示す出力信号が、第1の乗算器111から出力される。

【0045】第1、第2の加算器115、116は、Nビット+Nビットの加算器であり、N+1ビットの出力信号を出力する。第3の加算器117は、(N+1ビット)+(N+1ビット)の加算器であり、N+2ビットの出力信号を出力する。第1の加算器115では、第1の乗算器111の出力信号(Nビット)と第2の乗算器112の出力信号(Nビット)との加算が行われる。第

2の加算器116では、第3の乗算器113の出力信号(Nビット)と第4の乗算器114の出力信号(Nビット)との加算が行われる。第3の加算器117では、第1の加算器115の出力信号(N+1ビット)と第2の加算器116の出力信号(N+1ビット)との加算が行われる。この結果、デジタル信号IOと逆拡散符号C3C2C1C0との相関値MFOUTが第3の加算器117で得られ外部に出力される。

【0046】同様に、他の第2から第4の積和演算部102~104でも第1の積和演算部101と同じ動作を行う。以降、同様な動作が繰り返される。

【0047】このとき、コード制御部105が第1から第4の積和演算部101~104にロードする逆拡散符号を図2に示すように切り替えることにより、デジタル信号IOの最初の4個のサンプリングデータD3D2D1D0(1シンボル分)から1サンプリング後のデータ(遅延波)に対しても、同じ逆拡散符号で相関値を求めるのに必要な乗算が行われる。

【0048】図2を参照してコード制御部105による逆拡散符号の切替制御について具体的に説明する。

【0049】コード制御部105は、図2の初期状態(時刻T1)で第1の積和演算部101の逆拡散符号用記憶回路106に第1シンボルS0の相関をとるため、逆拡散符号C13C12C11C10を格納したあと、1シンボル時間(4×クロックCLK)経過後(時刻T2)、第2の積和演算部102の逆拡散符号用記憶回路106に第2シンボルS1の相関をとるため次の逆拡散符号C23C22C21C20を格納する。この時、第1の積和演算部101の逆拡散符号用記憶回路106の逆拡散符号C13C12C11C10は、この期間T2に投入された遅延波の第1シンボルS0の相関をとるためそのままにしておく。さらに、1シンボル時間経過後T3、第3の積和演算部103の逆拡散符号用記憶回路106に第3シンボルS2の相関をとるため次の逆拡散符号C33C32C31C30を格納する。この時、第1の積和演算部101の逆拡散符号用記憶回路106の逆拡散符号C13C12C11C10は、この期間(時刻T3)に投入された遅延波の第1シンボルS0の相関をとるためそのままにしておく、第2の積和演算部102の逆拡散符号用記憶回路106の逆拡散符号C23C22C21C20も、期間T3に投入された遅延波の第2シンボルS1の相関をとるためそのままにしておく。さらに1シンボル時間経過後(時刻T4)、第4の積和演算部104の逆拡散符号用記憶回路106に第4シンボルS3の相関をとるため次の逆拡散符号C43C42C41C40を格納する。この時、第1の積和演算部101の逆拡散符号用記憶回路106の逆拡散符号C13C12C11C10は、この期間T4に投入された遅延波の第1シンボルS0の相関をとるためそのままにしておく、第2の積和演算部102の逆拡散符号用記憶回路

106の逆拡散符号C23C22C21C20も、期間T4に投入された遅延波の第2シンボルS1の相関をとるためそのままにしておく、第3の積和演算部103の逆拡散符号用記憶回路106の逆拡散符号C33C32C31C30も、期間T4に投入された遅延波の第3シンボルS2の相関をとるためそのままにしておく。

【0050】このように本実施の形態によれば、逆拡散演算を実行する積和演算部101~104を4つ並列に設けておき、コード制御部105が積和演算部101~104に与える逆拡散符号を4シンボル期間は維持するように制御するので、主波や遅延波を4シンボル時間(16×クロックCLK)、同じ逆拡散符号で待ち受けることができ、確実に相関をとることができる。

【0051】(第2の実施形態)第2の実施形態にかかるデジタルマッチトフィルタは、第1の実施形態と同様に、被相関データとなるデジタル信号IOが保持される記憶部と、4シンボルに対する逆拡散演算を並列実行可能な第1から第4の積和演算部と、各種積和演算部に設定する逆拡散符号を切り替え制御するコード制御部とを備える。記憶部及び積和演算部の一部は第1の実施形態と同一構成である。

【0052】図4に本実施形態のデジタルマッチトフィルタに備えられるコード制御部400及び逆拡散符号記憶回路401~404の構成を示す。コード制御部400は、第1から第4のフリップフロップ405~408からなるタップ付きシフトレジスタにて構成されている。第1から第4のフリップフロップ405~408のクロック入力端子CKには、4.096MHzの第1のクロックCLK1がクロック入力端子を介して入力されている。第1のフリップフロップ405のD入力にはコード発生器から生成された逆拡散符号が上記第1のクロックCLK1に同期して入力される。

【0053】逆拡散符号記憶回路401~404は、第1から第4の積和演算部101~104に備えられる。第1から第4の積和演算部101~104は、逆拡散符号記憶回路401~404の構成を除いて上記第1の実施形態の積和演算部101~104と同一構成である。逆拡散符号記憶回路401は、4個のフリップフロップ409~412で構成されている。フリップフロップ409~412のQ入力にコード制御部400の対応するタップ出力(最終段のFF出力を含む)が与えられる。他の逆拡散符号記憶回路402~404も同様に構成されている。これらの逆拡散符号記憶回路401~404に対して個別に制御されるクロックCLK2~CLK5のうち各々対応するクロックが個別に与えられている。

【0054】次に、コード制御部400と逆拡散符号記憶回路401~404の動作について図5に示すタイミング図を参照して説明する。時刻t0でクロックCLKが"0"から"1"になると、コード発生器からの出力信号はコード制御部400の初段のフリップフロップ4

05に取り込まれて保持される。同様に、時刻 t_0 から $4 \times$ 第1のクロックCLK1の時刻 t_1 で第2から第4のフリップフロップ406～408にコードがシフトされて保持される。この時点でコード制御部400には第1シンボルの逆拡散符号が記憶されていることになる。

【0055】時刻 t_1 で第2のクロックCLK2が”0”から”1”になり、第1の逆拡散符号用記憶回路401の第1から第4の逆拡散符号記憶用フリップフロップ409～412に第1シンボルの逆拡散符号が書き込まれて保持される。

【0056】さらに、 $4 \times$ 第1のクロックCLK1時間後の時刻 t_2 で、第3のクロックCLK3が”0”から”1”になり、時刻 t_1 から時刻 t_2 までの時間に第1のクロックCLK1によってコード制御部400が記憶していた第2シンボルの逆拡散符号を第2の逆拡散符号用記憶回路402の第1から第4のフリップフロップ413～416に第2のシンボルの逆拡散符号が書き込まれて保持される。

【0057】以下、同様に時刻 t_3 に第3の逆拡散符号用記憶回路403の第1から第4のフリップフロップ417～420に第3シンボルの逆拡散符号が書き込まれて保持され、第4の逆拡散符号用記憶回路404の第1から第4のフリップフロップ421～424に第4シンボルの逆拡散符号が書き込まれて保持される。

【0058】積和演算部101～104において、第1から第2の逆拡散符号記憶回路401～404にロードされた逆拡散符号はそれぞれ対応する第1から第4の乗算器111～114に入力される。

【0059】このように第2の実施形態によれば、クロックCLK2～CLK5によって1シンボル期間づつタイミングをずらした逆拡散符号が第1から第2の逆拡散符号記憶回路401～404にロードされて4シンボル期間保持される。その結果、第1の実施形態と同様に図2に示したコードの書き換えができる。

【0060】（第3の実施形態）本発明の第3の実施形態にかかるデジタルマッチトフィルタは、上記第1の実施形態における逆拡散符号用記憶回路及びコード制御部の一部の機能を変更した例である。

【0061】図6に第3の実施形態にかかるデジタルマッチトフィルタの構成を示す。同図に示すように、本デジタルマッチトフィルタは、記憶部100と、第1から第4の積和演算部601～604と、コード制御部605とを備えている。

【0062】第1の積和演算部601は、第1から第4の逆拡散符号用記憶回路606～609を備える。各逆拡散符号用記憶回路606～609は、奇数側フリップフロップ（611、613、615、617）と、偶数側フリップフロップ（612、614、616、618）と、奇偶選択のためのセクタ回路（619～622）とを備えている。また、第1の積和演算部601

は、逆拡散符号用記憶回路606～609の保持している逆拡散符号にデジタル信号を乗算する第1から第4の乗算器111～114、各乗算器111～114の出力を加算する加算器115～117を備える。

【0063】次に以上のように構成された本実施形態の動作について説明する。

【0064】第1から第4の逆拡散符号用記憶回路606～609のフリップフロップ611～618のクロック入力端子には、4.096MHzのクロックCLKが入力され、各フリップフロップ611～618のD入力には、コード制御部605からの出力信号が図7（a）のタイミングで入力される。その結果、逆拡散符号用記憶回路606～609の奇数側フリップフロップ（611、613、615、617）に第1の逆拡散コード列が書き込まれ、偶数側フリップフロップ（612、614、616、618）に第5の逆拡散コード列が書き込まれる。

【0065】一方、第1から第4のセクタ回路619～622の選択信号入力端子Sは選択信号入力端子を介して接続されていて、図7（b）のタイミングで信号が変化する。選択信号が”0”のとき逆拡散符号用記憶回路606～609の奇数側フリップフロップ（611、613、615、617）が選択され、第1の逆拡散コード列が乗算器111～114に与えられる。また、選択信号が”1”のとき逆拡散符号用記憶回路606～609の偶数側フリップフロップ（612、614、616、618）が選択され、第5の逆拡散コード列が乗算器111～114に与えられる。このような逆拡散コード列の書き込みと選択を全ての積和演算部601～604において実行して、図2に示すように逆拡散符号の書き換えを実現している。

【0066】このように第3の実施形態によれば、各逆拡散符号用記憶回路606～609に2つの奇数側フリップフロップと偶数側フリップフロップとを設けて、2つのフリップフロップに予め逆拡散符号（本実施形態では4シンボル分ずらした逆拡散コード列）を書き込んでおいて、第1から第4のセクタ回路619～622を制御することにより図2に示す逆拡散符号の書き換えを実現しているので、コード制御部605のタイミングに依存しないコードの書き換えが可能になる。

【0067】（第4の実施形態）図8に本発明の第4の実施形態にかかるデジタルマッチトフィルタの構成を示す。上記第1の実施形態と同一機能を有する部分には同一符号を付している。

【0068】本実施形態によるデジタルマッチトフィルタは、4倍拡散のシンボルデータを保持可能な第1から第4の記憶部801～804と、第2の記憶部802～第4の記憶部804に対応して設けられた第1から第3の選択部805～807と、第1から第4の積和演算部101～104と、相関出力部808と、コード制御部

105とを備えている。

【0069】第1から第4の記憶部801～804は、同一構成の4タップ付きシフトレジスタを4連結したものであり、各記憶部は4つのフリップフロップを直列接続して4タップ付きシフトレジスタを構成している。

【0070】図9に、第2の記憶部802及び第1の選択部805を抜き出した回路図を示す。第2の記憶部802はフリップフロップ901～904で構成されている。第1の選択部805は、4つのセクタ回路905～908で構成されている。各セクタには、4倍拡散の4シンボル待ち受けモードと16倍拡散のシンボル相関モードのいずれであるかを示すモード信号を共通に入力する。第1の記憶部801の各タップ位置から取出したシンボルデータと第2の記憶部802の各タップ位置から取出したシンボルデータとを同一タップ位置のシンボルデータを組にして別のセクタ回路905～908に入力する。セクタ回路905～908の出力は第2の積和演算部102へ出力する。

【0071】第1、第3、第4の記憶部801、803、804も第2の記憶部802と同一構成になっており、第2、第3の選択部806、807も第1の選択部805と同一構成になっている。但し、第2の選択部806は第1の記憶部801と第3の記憶部803の選択を行い、第3の選択部807は第1の記憶部801と第4の記憶部804の選択を行う。

【0072】図10に相関出力部808の構成を示す。相関出力部808は、第1から第4の積和演算部101～104に対応して4つのセクタ回路1001～1004を備えている。セクタ回路1001～1004は1入力2出力選択回路で構成されていて、A入力をモード信号に応じてX出力又はY出力に切り替える。セクタ回路1001、1002のX出力は加算器1005に与えられ、セクタ回路1003、1004のX出力は加算器1006に与えられ、加算器1005と加算器1006の出力は加算器1007に与えられる。セクタ回路1001～1004のY出力は4倍拡散の4シンボル待ち受けモードでの相関出力となり、加算器1007の出力は16倍拡散のシンボル相関モードでの相関出力となる。

【0073】以上のように構成されたデジタルマッチトフィルタの動作を説明する。

【0074】第1の実施形態と同様に4倍拡散の4シンボル待ち受けモードの場合は、モード信号を“0”にする。モード信号が“0”の場合、第1から第3の選択部805～807ではセクタ回路905～908のA入力を選択し、相関出力部808のセクタ回路1001～1004ではY出力を選択する。この結果、第1の記憶部801に書き込まれるデータが第1から第3の選択部805～807を介して第1から第4の積和演算部101～104に並列に入力される。第1から第4の積和

演算部101～104には、コード制御部105から異なる逆拡散コード列が入力され、これら逆拡散コード列は遅延波待ち受け時間（4シンボル期間）だけ維持される。すなわち、モード信号が“0”の場合は、第1の実施形態と同じ構成をとることになり同じ動作を行う。

【0075】次に、モード信号が“1”の場合は、第1から第3の選択部805～807ではB入力を選択し、相関出力部808のセクタ回路1001～1004ではX出力を選択する。

【0076】この時、第1から第4の記憶部801～804を構成する各フリップフロップのデータ入力端子Dには、デジタル信号IOが入力されている。これにより、記憶部構成する第1から第16のクロック入力端子CKには“1”（論理値でハイレベル）がクロックCLKに同期して順に入力されるため、デジタル信号IOがクロックCLKに同期して第1から第15のフリップフロップに順に取り込まれて保持される。

【0077】この保持されたデータは第1から第4の積和演算部101～104に入力され、あらかじめ逆拡散符号記憶部に格納されていた逆拡散コード列により、第1の実施形態で記述した動作を各積和演算部で行う。第1から第4の積和演算部101～104から演算結果が相関出力部808のセクタ回路1001～1004を介して加算器1005及び1006に入力される。加算器1005では第1のセクタ回路1001の出力信号（M+2ビット）と第2のセクタ回路1002の出力信号（M+2ビット）の加算が行われる。加算器1006では第3のセクタ回路1003の出力信号（M+2ビット）と第4のセクタ回路1004の出力信号（M+2ビット）の加算が行われる。加算器1007では加算器1005の出力信号（M+3ビット）と加算器1006の出力信号（M+3ビット）の加算が行われる。この結果、デジタル信号IOと逆拡散符号（C15C14C13C12C11C10C9C8C7C6C5C4C3C2C1C0）との相関値MFOUTが最終段の加算器1007で得られる。

【0078】このような第4の実施形態によれば、第1の実施形態のデジタルマッチトフィルタにデジタル信号記憶と選択回路を付加したことにより、同一ハードウェアで、モード切り換え信号により、4倍拡散4シンボル待ち受けモードと16倍拡散のシンボル相関モードとを切り替えて使用できる。

【0079】（第5の実施形態）本発明の第5の実施形態にかかるデジタルマッチトフィルタは、上述した第4の実施形態と基本的なブロック構成が同一であり、コード制御部及び積和演算部の構成が一部異なっている。また、上記第1及び第2の実施形態、第4の実施形態と同一機能の部分には同一符号を付している。

【0080】図11にコード制御部及び積和演算部の一部の構成が示されている。コード制御部1101は、1

6個のフリップフロップを直列に接続した16タップ付きシフトレジスタで構成されたコード記憶用シフトレジスタ1102と、第1から第3の選択部1103～1105とを備えている。第1から第3の選択部1103～1105は、コード記憶用シフトレジスタ1102の1番目から4番目までのタップ出力がパラレルに与えられるとともに、コード記憶用シフトレジスタ1102のタップ出力が5番目～8番目のタップ出力が第1の選択部1103に入力され、9番目～12番目のタップ出力が第2の選択部1104に入力され、13番目～15番目のタップ出力が第3の選択部1105に入力される。

【0081】図12に、コード制御部1101に含まれる第1の選択部1103と、第1の選択部1103のA入力を与えるコード記憶用シフトレジスタ1102のフリップフロップ群と、第1の選択部1103のY出力がD入力となる第2の逆拡散符号用記憶回路402とを示している。第1の選択部1103は、4つのセクタ回路1201～1204を備えている。セクタ回路1201～1204のB入力にはコード記憶用シフトレジスタ1102の1番目から4番目のタップ出力が与えられ、A入力にはコード記憶用シフトレジスタ1102の対応するフリップフロップ1205～1208から逆拡散コード列がタップ出力の形で与えられる。第1の選択部1103を構成するセクタ回路1201～1204はモード信号に応じてA、B入力のいずれかを選択する。図12には第1の選択部1103を例示したが第2、第3の選択部1104、1105も同様に構成されている。

【0082】以上のように構成されたコード制御部1101を備えたデジタルマッチフィルタの動作について説明する。

【0083】コード記憶用シフトレジスタ1102のコード入力端子には、逆拡散コードが第1のクロックCLK1に同期して入力される。なお、逆拡散コードのコード信号は4.096MHzの第1のクロックCLK1に同期した1ビットのデジタル信号である。コード記憶用シフトレジスタ1102の1番目から4番目のタップ出力が第1の逆拡散符号用記憶回路401に入力されるとともに、第1から第3の選択部1103～1105のセクタ回路のB入力に与えられる。コード記憶用シフトレジスタ1102上を転送する逆拡散コードは、コード記憶用シフトレジスタ1102のタップ出力（5番目～8番目）、（9番目～12番目）、（13番目～16番目）として各々対応する選択部のセクタ回路にA入力と与えられる。

【0084】第1から第3の選択部1103～1105に含まれるセクタ回路の選択端子Sにはモード信号が入力されている。セクタ回路は、モード信号が“0”のときA入力を選択し、モード信号が“1”のときB入力を選択する。したがって、モード信号が“0”のとき

には、第1から第3の選択部1103～1105を介してコード記憶用シフトレジスタ1102の1番目から4番目のタップ出力が第1から第4の逆拡散符号用記憶回路401～404に入力される。一方、モード信号が“1”のときには、第1から第3の選択部1103～1105を介してコード記憶用シフトレジスタ1102の16タップ出力が4タップ毎に第1から第4の逆拡散符号用記憶回路401～404に入力される。

【0085】第1から第4の逆拡散符号用記憶回路401～404には上記第2の実施形態と同様に図5に示すタイミングでクロックCLK2、3、4、5が与えられる。

【0086】第1の逆拡散符号用記憶回路401では、第1から第4のフリップフロップ409～412のクロック入力端子CKには第2のクロックCLK2が入力されており、第2のクロックCLK2に同期して第1から第4のフリップフロップ409～412にタップ出力（1番目～4番目）である逆拡散符号がコード記憶用シフトレジスタ1102から直接書き込まれる。

【0087】同様に、第2の逆拡散符号用記憶回路402では、第1から第4のフリップフロップ413～416のクロック入力端子CKには第3のクロックCLK3が入力されており、第3のクロックCLK3に同期して第1から第4のフリップフロップ413～416にタップ出力（1番目～4番目又は5番目～8番目）である逆拡散符号がコード記憶用シフトレジスタ1102から第1の選択部1103を介して書き込まれる。

【0088】第3の逆拡散符号用記憶回路403では、第1から第4のフリップフロップ417～420のクロック入力端子CKには第4のクロックCLK4が入力されており、第4のクロックCLK4に同期して第1から第4のフリップフロップ417～420にタップ出力（1番目～4番目又は9番目～12番目）である逆拡散符号がコード記憶用シフトレジスタ1102から第2の選択部1104を介して書き込まれる。

【0089】第4の逆拡散符号用記憶回路404では、第1から第4のフリップフロップ421～424のクロック入力端子CKには第5のクロックCLK5が入力されており、第5のクロックCLK5に同期して第1から第4のフリップフロップ421～424にタップ出力（1番目～4番目又は13番目～16番目）である逆拡散符号がコード記憶用シフトレジスタ1102から第3の選択部1105を介して書き込まれる。

【0090】以上のように構成された本実施形態によるコード制御部1102では、モード信号が“1”のとき、16倍拡散のシンボル相関モードになるため、初期状態から16個の第1のクロックCLK1が入力されると、コード記憶用シフトレジスタ1102を構成する第1から第16のフリップフロップに逆拡散符号CIの16チップの符号が書き込まれるとともに、逆拡散符号用

記憶回路401~404のフリップフロップに逆拡散符号C15~C0が保持される。

【0091】モード信号が”0”のとき、4倍拡散の4シンボル待ち受けモードになるため、初期状態から4個の第1のクロックCLK1が入力されると、コード記憶用シフトレジスタ1102を構成する第1から第4のフリップフロップに逆拡散符号C1の4チップ分の符号が書き込まれるとともに、第2のクロックCLK2に同期して第1の逆拡散符号用記憶回路401のフリップフロップ409~412に逆拡散符号C43~C40が保持される。さらに、4個の第1のクロックCLK1が入力されると、コード記憶用シフトレジスタ1102を構成する第15から第18のフリップフロップに次のシンボルの逆拡散符号C1の4チップ分の符号が書き込まれるとともに第3のクロックCLK3に同期して、第2の逆拡散符号用記憶回路402のフリップフロップ413~416に逆拡散符号C33~C30が保持される。さらに、4個の第1のクロックCLK1が入力されると、コード記憶用シフトレジスタ1102を構成する第9から第12のフリップフロップにさらに次のシンボルの逆拡散符号C1の4チップ分の符号が書き込まれるとともに第4のクロックCLK4に同期して、第3の逆拡散符号用記憶回路403のフリップフロップ417~420に逆拡散符号C23~C20が保持される。さらに、4個の第1のクロックCLK1が入力されると、コード記憶用シフトレジスタ1102を構成する第13から第16のフリップフロップに次のシンボルの逆拡散符号C1の4チップ分の符号が書き込まれるとともに第5のクロックCLK5に同期して、第4の逆拡散符号用記憶回路404のフリップフロップ421~424に逆拡散符号C03~C00が保持される。このようにして図2に示した逆拡散符号の書き換えができる。

【0092】このように第5の実施形態によれば、モードを切り換えることによって同一回路構成で、遅延待ち受けモードと拡散倍率のちがうシンボルの相関を取るモードとを切り替えて使用できる。

【0093】（第6の実施形態）本発明の第6の実施形態は、上記第5の実施形態において4倍拡散4シンボル待ち受けモードの時に使用しないコード記憶用シフトレジスタ1102の第5から第16のフリップフロップ、及び第2から第4の記憶部802から804のフリップフロップの動作を停止させるようにした例である。

【0094】図13に第6の実施形態のデジタルマッチトフィルタの要部の構成を示す。本デジタルマッチトフィルタの基本的な構成は図8から図12に示した上記第5の実施形態と同一であり、同一部分には同一符号を付して説明する。

【0095】本実施形態によるデジタルマッチトフィルタは、第1から第16のフリップフロップを備えるコード制御部1300にモードに応じたフリップフロップの

動作停止機能を備えている。コード制御部1300は、第1から第16のフリップフロップを直列接続した16タップ付きシフトレジスタからなるコード記憶用シフトレジスタ1102と、第1から第3の選択部1103~1105とを備える。さらに、コード記憶用シフトレジスタ1102を構成する第5から第16のフリップフロップに第1のクロックCLK1を供給するライン上に電力制御用AND回路1305を介挿している。電力制御用AND回路1305は、第1の入力端子に第1のクロックCLK1が入力され、第2の入力端子にモード信号が入力され、そのAND出力が第5から第16のフリップフロップのクロック入力端子CKに入力される。

【0096】また、第2から第4の記憶部802~804の各フリップフロップにクロックCLKを供給するライン上に電力制御用AND回路1306を介挿している。電力制御用AND回路1306は、第1の入力端子にクロックCLKが入力され、第2の入力端子にモード信号が入力され、そのAND出力が第2から第4の記憶部802~804の各フリップフロップのクロック入力端子CKに入力される。

【0097】その他の構成は上記第5の実施形態と同じである。

【0098】以上のように構成された第6の実施形態の動作について説明する。

【0099】コード制御部側の電力制御用AND回路1305の第1の入力端子には、第1のクロックCLK1が入力され、第2の入力端子にはモード信号が入力される。また、記憶部側の電力制御用AND回路1306の第1の入力端子には、クロックCLKが入力され、第2の入力端子にはモード信号が入力される。

【0100】本実施例では、モード信号が”1”のとき16倍拡散のシンボル相関モードを示し、モード信号が”0”のとき4倍拡散4シンボル待ち受けモードを示すものとする。

【0101】今、4倍拡散4シンボル待ち受けモードを示すモード信号”0”が入力されているものとする。モード信号が”0”の場合、電力制御用AND回路1305、1306の出力は”0”であるので、第5から第16のフリップフロップ及び第2から第4の記憶部には動作のクロック（CLK1、CLK）が供給されないことになる。その結果、4倍拡散4シンボル待ち受けモードの期間は、第2から第4の記憶部802~804、及びコード記憶用シフトレジスタ1101の第5から第16のフリップフロップは動作しないこととなる。

【0102】一方、16倍拡散のシンボル相関モードを示すモード信号が”1”が入力された場合、電力制御用AND回路1305、1306の出力には第1のクロックCLK1、CLKがそのまま現われるので、第1から第16のフリップフロップに共通に第1のクロックCLK1が供給され、第2から第4の記憶部802~804

にクロックCLKが供給される。

【0103】このように第6の実施形態によれば、4倍拡散4シンボル待ち受けモードのときに、当該モードでは使用しない第2から第4の記憶部802～804及び第5から第16のフリップフロップの動作を停止させることができ、省電力化を図ることができる。

【0104】（第7の実施形態）図14に第7の実施形態にかかるCDMA受信装置の概略を示す。第7の実施形態では、上記第5の実施形態に示したデジタルマッチトフィルタをCDMA受信装置に適用した例である。

【0105】このCDMA受信装置においては、アンテナ1400で受信された受信信号を受信アンプ1401で増幅し、直交復調部1402に入力してIch及びQch信号を直交変換して1つの受信信号に復調する。復調された受信信号をAD変換部1403でサンプリング及びゲイン制御してからデータ復調部1404に入力する。データ復調部1404では、スペクトル拡散された受信信号に逆拡散符号を掛け合わせてデータ復調する。データ復調部1404の出力したデータをデータ復号部1405に入力して復号し、さらにCODEC部1406へ入力してコーデック処理する。

【0106】データ復調部1404でデータ復調のための逆拡散に使用するタイミングはデジタルマッチトフィルタ1407によって獲得される。デジタルマッチトフィルタ1407は、上記第5の実施形態で説明したデジタルマッチトフィルタである。デジタルマッチトフィルタ1407には、クロック発生器1408から1つ又複数の必要なクロックが入力され、コード発生器1409から逆拡散符号となるコードが入力され、モード信号発生器1410からモード信号が入力される。デジタルマッチトフィルタ1407の具体的な動作内容は上述した通りである。

【0107】また、測定部1411において受信信号からSIR、RSSI、FERなどのパラメータを測定する。AGC制御部1412は、測定部1411の測定結果からAD変換部1403におけるゲイン制御量を決定してAD変換部1403へ出力する。また送信電力制御部1413は測定部1411の測定結果から送信電力を決定して送信部側へ出力する。

【0108】以上のように、CDMA通信システムのCDMA受信装置に上記第5の実施形態で説明したデジタルマッチトフィルタを備えることにより、CDMA受信装置の回路規模を小型化できるとともに消費電力の低減を図ることもできる。

【0109】なお、第7の実施形態の説明では、CDMA受信装置に第5の実施形態で説明したデジタルマッチトフィルタを用いる場合を説明したが、その他の実施形態で説明したデジタルマッチトフィルタも同様に適用できる。

【0110】また、上記第1から第6に実施の形態で夫

々説明したデジタルマッチトフィルタのいずれかを、CDMA方式の移動体無線通信を行う基地局装置又は移動局装置の無線受信部に備えてもよいし、その他の通信端末の無線受信部として使用しても良い。

【0111】

【発明の効果】以上詳記したように本発明によれば、1シンボル時間を超える所に存在する遅延波に対しても相関検出ができ、回路規模および消費電力を低減できる相関検出装置を提供できる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態によるデジタルマッチトフィルタのブロック図

【図2】第1の実施形態のデジタルマッチトフィルタにおける乗算の手順を説明するための状態図

【図3】第1の実施形態第のデジタルマッチトフィルタにおける逆拡散符号列の書き換えパターンを示す図

【図4】本発明の第2の実施形態によるデジタルマッチトフィルタが備えるコード制御部のブロック図

【図5】第2の実施形態によるデジタルマッチトフィルタのタイミング図

【図6】本発明の第3の実施形態によるデジタルマッチトフィルタのブロック図

【図7】第3の実施形態のデジタルマッチトフィルタにおける逆拡散コード列とロードタイミングとの関係を示すタイミング図

【図8】本発明の第4の実施形態によるデジタルマッチトフィルタのブロック図

【図9】第4の実施形態のデジタルマッチトフィルタの一部を抜き出して示す図

【図10】第4の実施形態のデジタルマッチトフィルタの相関出力部の構成図

【図11】本発明の第5の実施形態によるデジタルマッチトフィルタのコード制御部のブロック図

【図12】図11に示すコード制御部の一部を抜き出して示す図

【図13】本発明の第6の実施形態によるデジタルマッチトフィルタのコード制御部とデータ記憶部のブロック図

【図14】本発明の第7の実施形態によるCDMA受信装置のブロック図

【図15】FIRフィルタを用いて構成された4倍拡散のデジタルマッチトフィルタの従来例を示すブロック図

【図16】デジタルマッチトフィルタを複数個並列に用いた従来例を示すブロック図

【符号の説明】

100 記憶部

101～104 第1から第4の積和演算部

105 コード制御部

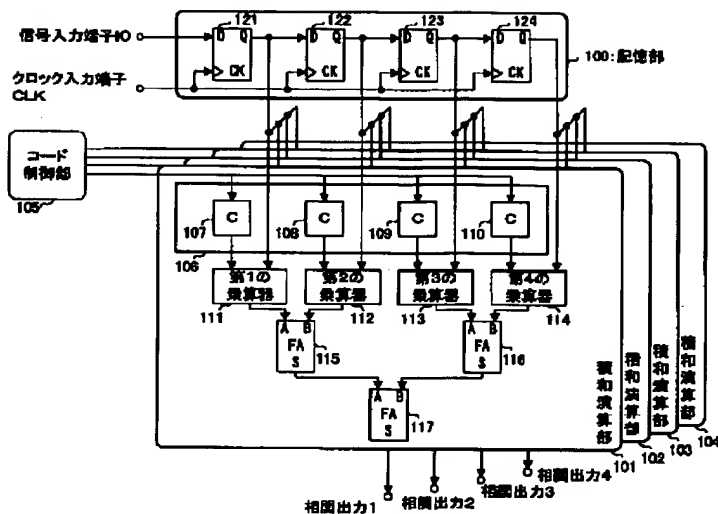
121～124 第1から第4のフリップフロップ

106 逆拡散符号記憶部

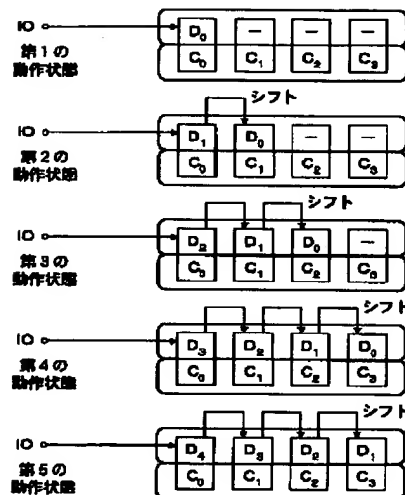
111~114 第1から第4の乗算器
400 コード制御部

401~404 逆拡散符号記憶回路

【図1】



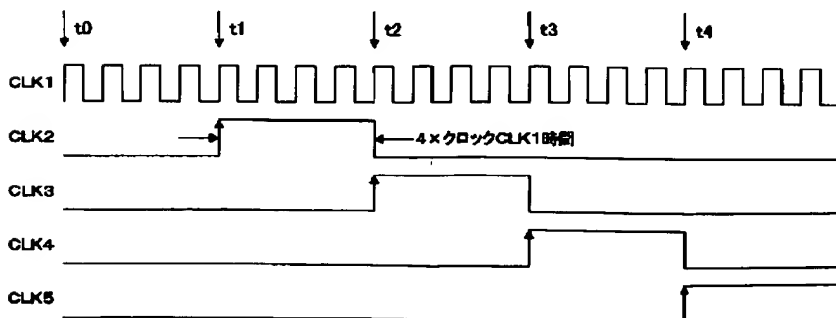
【図3】



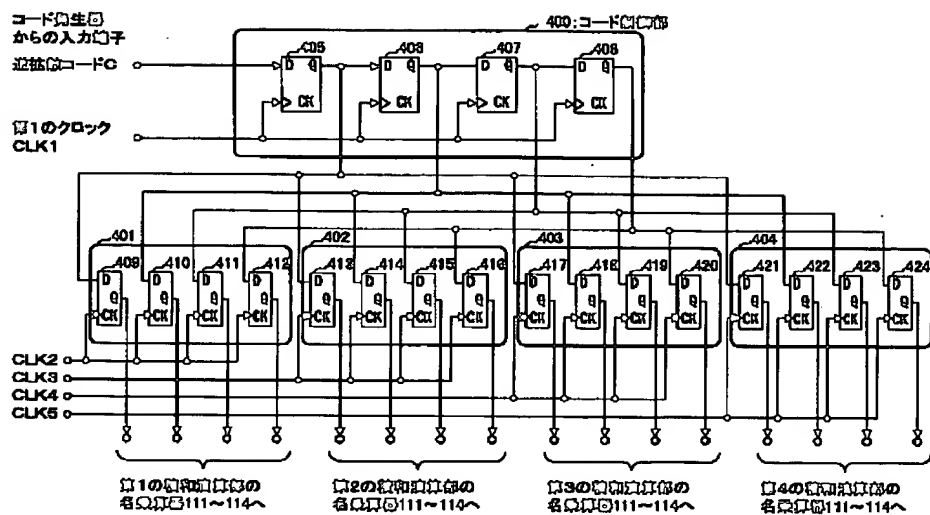
【図2】

	第1の積和演算部101の逆拡散符号記憶部	第2の積和演算部102の逆拡散符号記憶部	第3の積和演算部103の逆拡散符号記憶部	第4の積和演算部104の逆拡散符号記憶部
時刻T1	期間T1 第1の逆拡散コード列	—	—	—
時刻T2	期間T2 第1の逆拡散コード列	第2の逆拡散コード列	—	—
時刻T3	期間T3 第1の逆拡散コード列	第2の逆拡散コード列	第3の逆拡散コード列	—
時刻T4	期間T4 第1の逆拡散コード列	第2の逆拡散コード列	第3の逆拡散コード列	第4の逆拡散コード列
時刻T5	期間T5 第5の逆拡散コード列	第6の逆拡散コード列	第7の逆拡散コード列	第8の逆拡散コード列
時刻T6	期間T6 第5の逆拡散コード列	第6の逆拡散コード列	第7の逆拡散コード列	第8の逆拡散コード列
時刻T7	期間T7 第5の逆拡散コード列	第6の逆拡散コード列	第7の逆拡散コード列	第8の逆拡散コード列
時刻T8	期間T8 第5の逆拡散コード列	第6の逆拡散コード列	第7の逆拡散コード列	第8の逆拡散コード列
時刻T9	期間T9 第9の逆拡散コード列	第10の逆拡散コード列	第11の逆拡散コード列	第12の逆拡散コード列
時刻T10	期間T10 第9の逆拡散コード列	第10の逆拡散コード列	第11の逆拡散コード列	第12の逆拡散コード列
時刻T11	期間T11 第9の逆拡散コード列	第10の逆拡散コード列	第11の逆拡散コード列	第12の逆拡散コード列

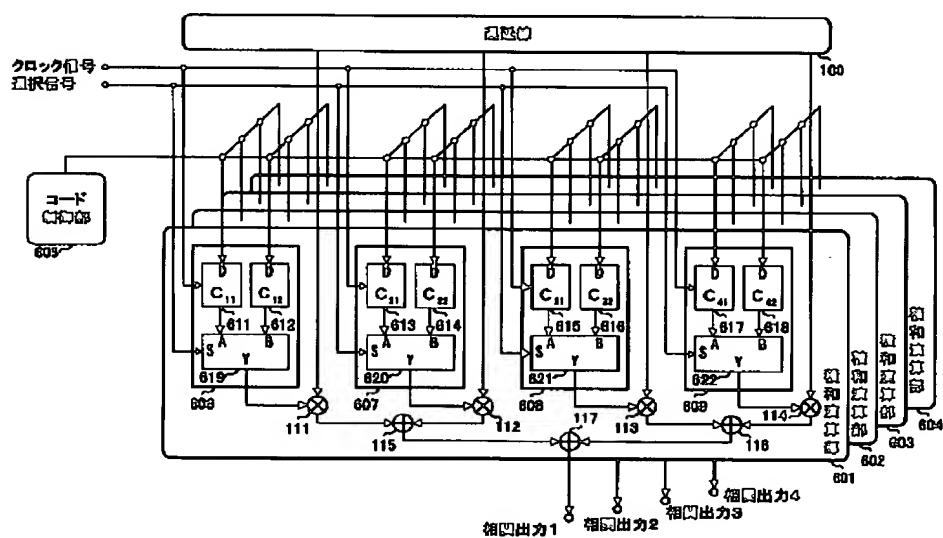
【図5】



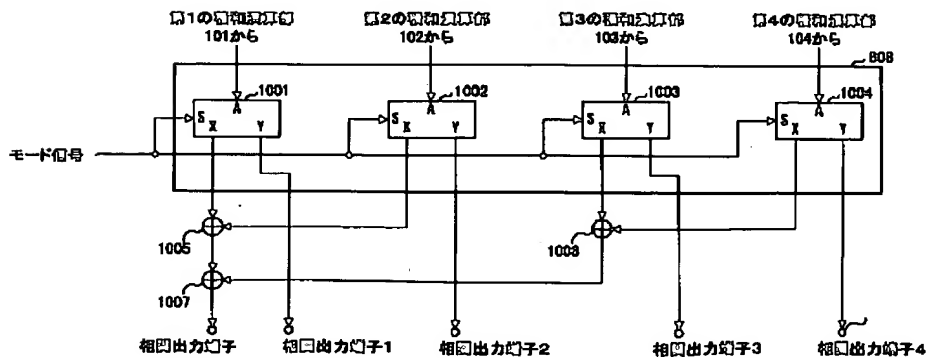
【図 4】



【図 6】



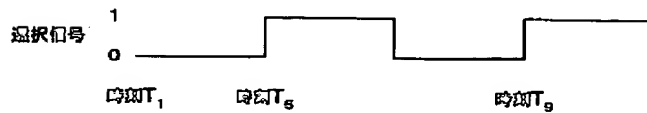
【図 10】



【図 7】

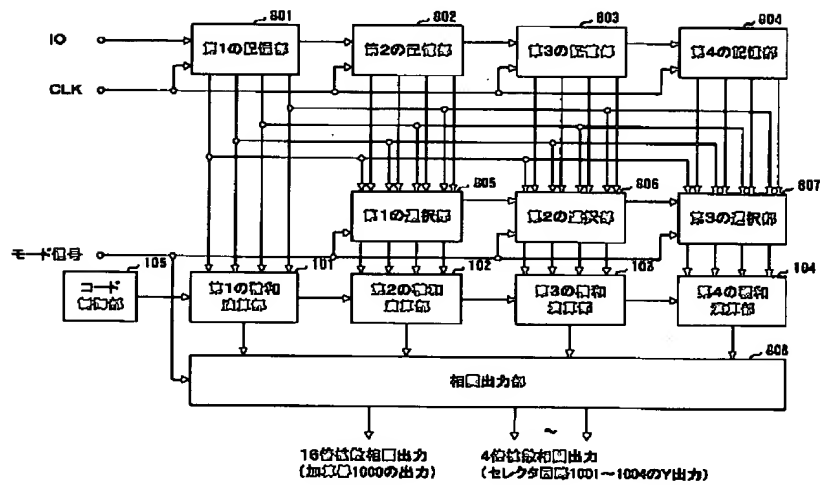
$C_{11}C_{21}C_{31}C_{41}$	第1の選抜コード列	第9の選抜コード列
$C_{12}C_{22}C_{32}C_{42}$	第5の選抜コード列	第13の選抜コード列
時刻 T_1 まで		時刻 T_9 まで

(a)

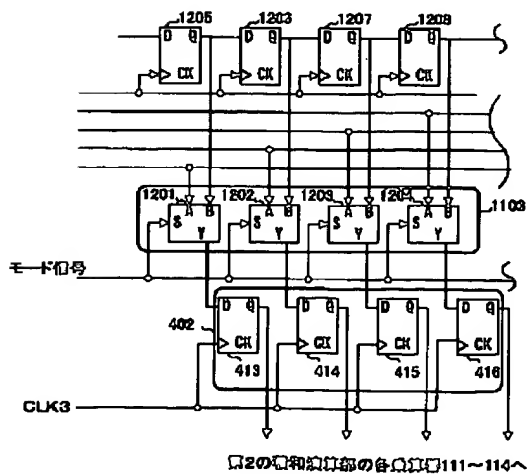


(b)

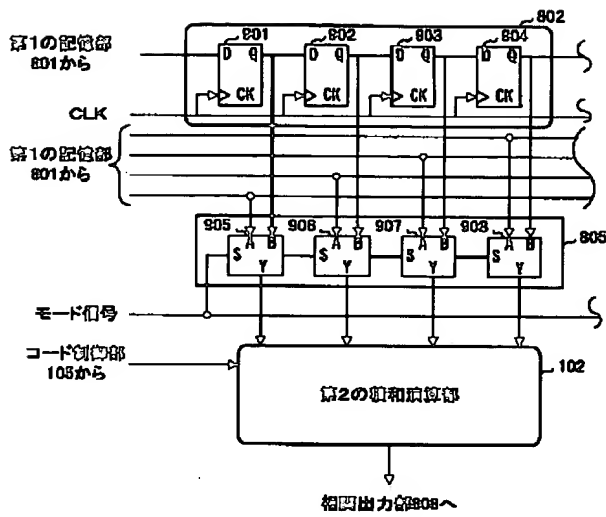
【図 8】



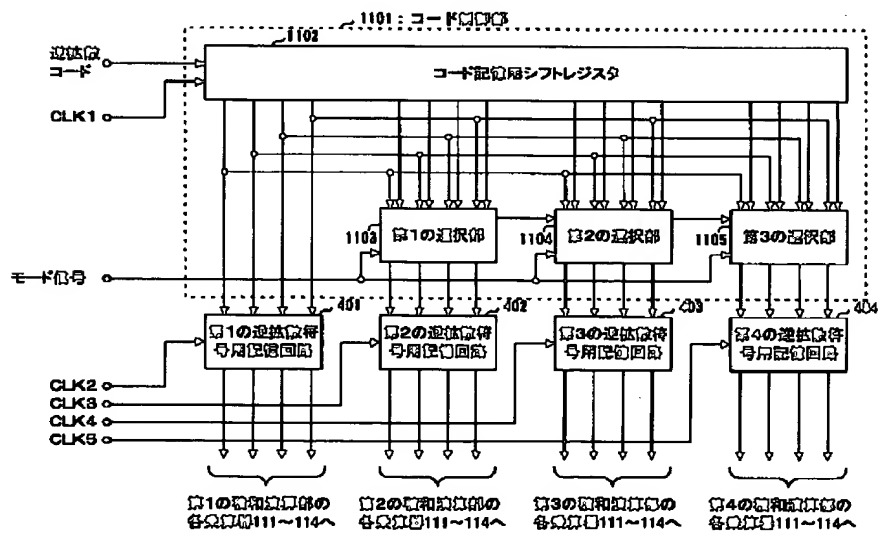
【図 12】



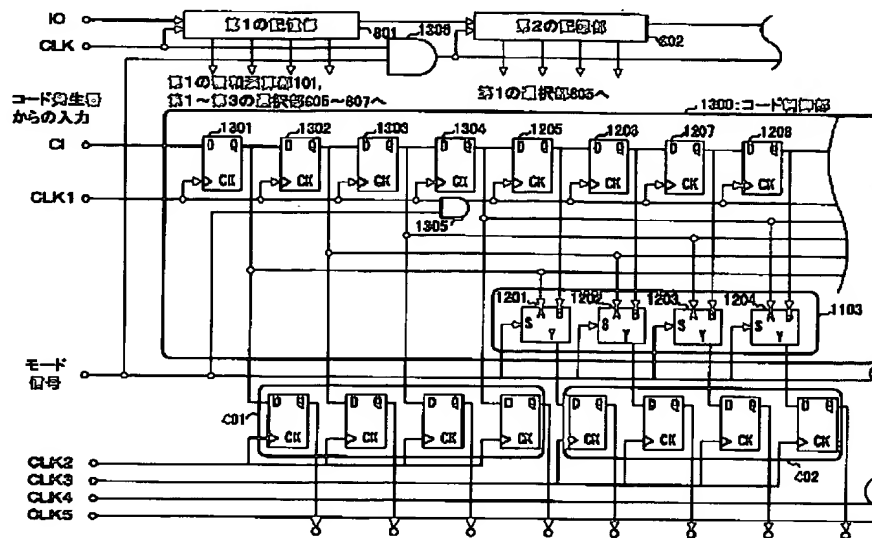
【図9】



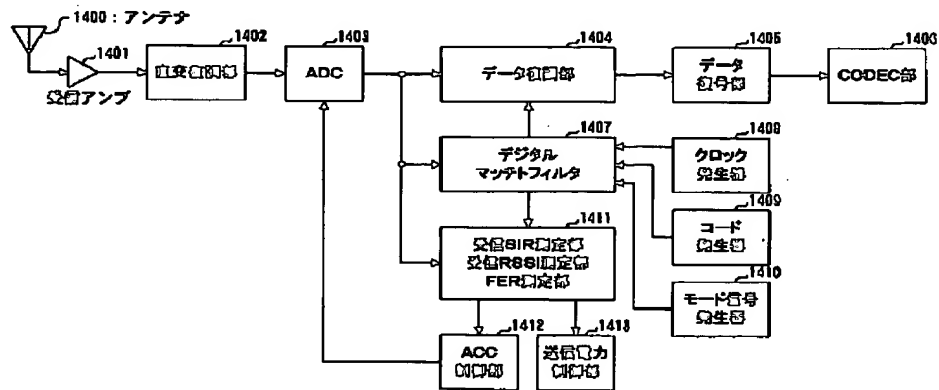
【図11】



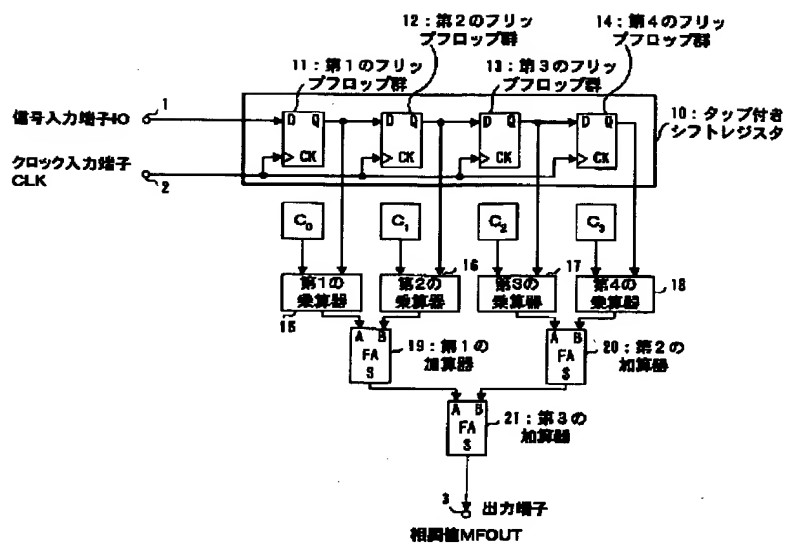
【図13】



【図14】



【図15】



【図16】

